



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0001575
Application Number

출원년월일 : 2003년 01월 10일
Date of Application
JAN 10, 2003

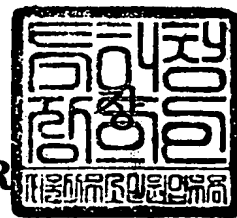
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 08 월 04 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2003.01.10
【발명의 명칭】	반도체 소자의 트렌치 소자분리막들 형성방법
【발명의 영문명칭】	Methods for trench device isolation layers of semiconductor devices
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	김홍수
【성명의 영문표기】	KIM,HONG SOO
【주민등록번호】	710113-1069115
【우편번호】	449-840
【주소】	경기도 용인시 수지읍 풍덕천리 700-1 현대아파트 101동 1407호
【국적】	KR
【발명자】	
【성명의 국문표기】	박규찬
【성명의 영문표기】	PARK,KYU CHARN
【주민등록번호】	600716-1674527
【우편번호】	459-100
【주소】	경기도 평택시 독곡동 라이프아파트 3동 1106호
【국적】	KR

【발명자】

【성명의 국문표기】 최정달
【성명의 영문표기】 CHOI, JUNG DAL
【주민등록번호】 640716-1670618
【우편번호】 442-706
【주소】 경기도 수원시 팔달구 망포동 동수원엘지빌리지 205동 1603호
【국적】 KR

【발명자】

【성명의 국문표기】 조성순
【성명의 영문표기】 CHO, SEONG SOON
【주민등록번호】 671118-1684415
【우편번호】 442-470
【주소】 경기도 수원시 팔달구 영통동 살구골7단지아파트 988-2 성지아파트 7 10동 401호
【국적】 KR

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
 임창현 (인) 대리인
 권혁수 (인)

【수수료】

【기본출원료】	20 면	29,000 원
【가산출원료】	26 면	26,000 원
【우선권주장료】	0 건	0 원
【심사청구료】	22 항	813,000 원
【합계】		868,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

반도체 소자의 트렌치 소자분리막의 형성방법을 제공한다. 이 방법은 반도체기판을 준비하는 단계를 구비한다. 반도체기판의 소정영역에 형성된 상부 트렌치 및 상부 트렌치의 바닥면에 형성된 하부 트렌치를 형성하고, 상부 및 하부 트렌치 내부를 채우는 소자분리막을 형성한다. 이때, 하부 트렌치는 상부 트렌치와 평행한 폭을 갖고, 상부 트렌치의 폭은 하부 트렌치의 폭에 비하여 크다.

【대표도】

도 5

【명세서】**【발명의 명칭】**

반도체 소자의 트렌치 소자분리막들 형성방법{Methods for trench device isolation layers of semiconductor devices}

【도면의 간단한 설명】

도 1은 종래의 트렌치 소자분리막을 갖는 플래쉬 기억 소자의 형성방법을 설명하기 위한 단면도들이다.

도 3 내지 도 5는 본 발명의 일실시예에 따른 트렌치 소자분리막들의 형성방법을 설명하기 위한 단면도들이다.

도 6 내지 도 9는 본 발명의 다른 실시예에 따른 트렌치 소자분리막들의 형성방법을 설명하기 위한 단면도들이다.

도 10 내지 도 13는 본 발명의 또 다른 실시예에 따른 트렌치 소자분리막들의 형성방법을 설명하기 위한 단면도들이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<5> 본 발명은 반도체 소자의 형성방법에 관한 것으로, 특히, 반도체 소자의 트렌치 소자분리막의 형성방법에 관한 것이다.

- <6> 반도체 소자의 소자분리막은 서로 이웃하는 반도체 소자들을 전기적으로 격리 시킨다. 반도체 소자의 고집적화 경향으로 인하여 작은 면적을 차지하면서 우수한 절연 특성을 갖는 소자분리 기술의 개발이 요구되고 있다.
- <7> 현재, 널리 사용되고 있는 소자분리막은 트렌치 소자분리막이다. 트렌치 소자분리막은 반도체기판의 소정영역을 소정의 깊이로 식각하여 트렌치를 형성한 후, 트렌치 내부를 절연막으로 채워 형성한다. 트렌치 소자분리막은 반도체기판의 소정영역에 열산화막으로 형성하는 로코스((LOCOS; LOCalOxidation of Silicon) 소자분리막에 비하여 작은 면적을 갖고, 절연 특성이 우수하다.
- <8> 한편, 반도체 소자는 휘발성 기억 소자 및 비휘발성 기억 소자로 구분할 수 있다. 휘발성 기억 소자란 전원 공급이 중단될 경우, 기억 셀에 저장된 데이터를 잃어버리는 기억 소자, 예컨대, 디램소자 및 에스램 소자가 여기에 속한다. 이와는 반대로, 비휘발성 기억 소자란 전원 공급이 중단될지라도, 기억 셀에 저장된 데이터를 그대로 유지하는 기억 소자, 예컨대, 플래쉬 기억소자가 여기에 속한다.
- <9> 일반적으로, 플래쉬 기억소자의 기억 셀에 데이터를 프로그램 또는 소거할때, 전원공급에 비하여 높은 동작전압이 요구된다. 이로 인하여, 플래쉬 기억소자는 높은 전압을 컨트롤하는 반도체 소자들이 형성되는 높은 전압 영역을 갖는다.
- <10> 도 1은 종래의 트렌치 소자분리막을 갖는 플래쉬 기억 소자의 형성방법을 설명하기 위한 단면도들이다. 도면에 있어서, 참조부호 'a' 및 'b'는 각각 셀 영역 및 높은 전압 영역을 나타낸다.

<11> 도 1 및 도 2를 참조하면, 셀 영역(a) 및 높은 전압 영역(b)을 갖는 반도체기판(1)에서, 상기 높은 전압 영역(b) 내에 위치한 상기 반도체기판(1)의 표면으로 부터 소정의 깊이로 이격된 상기 반도체기판(1) 내에 채널 스탑퍼 불순물층(2)을 형성한다. 상기 채널 스탑퍼 불순물층(2)을 갖는 반도체기판(1) 전면에는 하드마스크막(3)을 형성한다. 상기 하드마스크막(3)을 패터닝하여 상기 셀 영역(a)내의 활성영역을 한정하는 셀 트렌치(4a)를 형성함과 동시에, 상기 높은 전압 영역(b) 내의 활성영역을 한정하고, 바닥면이 상기 채널 스탑퍼 불순물층(2)의 상부면과 접촉하는 높은 전압 트렌치(4b)를 형성한다. 상기 높은 전압 영역(b)은 전원 전압에 비하여 높은 전압이 인가되는 영역으로, 상기 높은 전압 트렌치(4b)의 깊이가 깊을수록, 폭이 넓을수록 유리하다. 상기 셀 및 높은 전압 트렌치들(4a, 4b)은 동시에 형성된다. 이로 인하여, 상기 셀 트렌치(4a) 및 상기 높은 전압 트렌치(4b)는 같은 깊이를 가진다. 이에 더하여, 상기 셀 트렌치(4a)의 폭은 상기 높은 전압 트렌치(4b)에 비하여 좁다. 그 결과, 상기 셀 트렌치(4a)의 종횡비는 상기 높은 전압 트렌치(4b)에 비하여 높게 된다.

<12> 상기 셀 및 높은 전압 트렌치들(4a, 4b)을 채우는 소자분리절연막(5)을 반도체기판(1) 전면에 형성한다.

<13> 상기 소자분리막절연막(5)을 상기 하드마스크막(3)이 노출될때까지 평탄화시키어 상기 셀 및 높은 전압 트렌치들(4a, 4b) 내부를 각각 채우는 셀 소자분리막(5a) 및 높은 전압 소자분리막(5b)을 형성한다. 상기 높은 전압 영역(b) 내에 높은 전압용 게이트 패턴(미도시함)을 형성하고, 상기 높은 전압용 게이트 패턴 양측의 활성영역에 불순물확산층(7)을 형성한다. 상기 불순물확산층(7)은 높은 전압용 트랜지스터의 소오스/드레인 영역에 해당한다.

<14> 상술한 종래기술에서, 상기 셀 트렌치(4a)의 높은 종횡비로 인하여, 상기 셀 소자분리막(5a) 내에 보이드(6,void)가 형성될 수 있다. 상기 보이드(5)는 반도체 소자의 신뢰성을 열화시킬 수 있다.

<15> 상기 셀 트렌치(4a)의 깊이를 줄여 상기 보이드(6)를 방지할 수 있다. 하지만, 이 경우에는, 상기 높은 영역 트렌치(4b)의 깊이도 같이 줄어들게 된다. 그 결과, 상기 높은 전압 소자분리막(5b) 양측의 상기 높은 전압용 소오스/드레인 영역(7)들 간의 펀치스루 특성이 열화될 수 있다. 또한, 상기 채널 스탑퍼 불순물층(2)이 상기 높은 전압 영역(b) 내의 활성영역 표면과 가까워짐에 따라, 상기 높은 전압용 게이트 패턴 하부의 채널영역(미도시함)의 도핑농도가 증가하여 상기 높은 전압용 트랜지스터의 문턱전압이 증가할 수 있다. 그 결과, 상기 높은 전압용 트랜지스터의 특성이 열화될 수 있다.

【발명이 이루고자 하는 기술적 과제】

<16> 본 발명이 이루고자 하는 기술적 과제는 트렌치 소자분리막이 얇아짐에 따라 발생할 수 있는 높은 전압용 트랜지스터의 특성열화를 최소화할 수 있는 트렌치 소자분리막의 형성방법을 제공하는데 있다.

<17> 본 발명이 이루고자 하는 다른 기술적 과제는 소자분리막 내의 보이드 및 트랜지스터의 특성열화를 최소화할 수 있는 서로 다른 깊이의 소자분리막들의 형성방법을 제공하는 데 있다.

【발명의 구성 및 작용】

<18> 상술한 기술적 과제 및 다른 기술적 과제를 해결하기 위한 반도체 소자의 트렌치 소자분리막의 형성방법을 제공한다. 이 방법은 반도체기판을 준비하는 단계를 포함한다. 상기 반도체기판의 소정영역에 형성된 상부 트렌치 및 상기 상부 트렌치의 바닥면에 형성된 하부 트렌치를

형성하고, 상기 상부 및 하부 트렌치 내부를 채우는 소자분리막을 형성한다. 이때, 상기 하부 트렌치는 상기 상부 트렌치와 평행한 폭을 갖고, 상기 상부 트렌치의 폭은 상기 하부 트렌치의 폭에 비하여 크다.

<19> 구체적으로, 상기 상부 및 하부 트렌치들을 형성하는 방법은 상기 반도체기판의 소정 영역에 보조 트렌치를 형성하는 단계를 포함할 수 있다. 상기 보조 트렌치를 갖는 반도체기판 상에 트렌치 마스크막을 형성하고, 상기 트렌치 마스크막을 패터닝하여 상기 보조 트렌치 및 상기 보조 트렌치 양측의 상기 반도체기판 표면의 소정영역을 노출시키는 개구부를 형성한다. 상기 노출된 보조 트렌치의 바닥면 및 상기 반도체기판 표면을 이방성 식각하여 상기 반도체기판 표면에 형성된 상부 트렌치 및 상기 상부 트렌치 바닥면에 형성된 하부 트렌치를 형성한다. 이때, 상기 상부 트렌치의 폭은 상기 개구부의 폭과 동일하고, 상기 하부 트렌치의 폭은 상기 보조 트렌치의 폭과 동일하다. 이와는 다르게, 상기 상부 및 하부 트렌치는 다른 방법으로 형성할 수 있다. 이 방법은 상기 반도체기판의 소정영역에 상부 트렌치를 형성하고, 상기 상부 트렌치 바닥면의 소정영역을 선택적으로 식각하여 하부 트렌치를 형성하는 단계를 포함할 수 있다.

<20> 본 발명은 서로 다른 깊이의 트렌치 소자분리막들을 형성하는 방법에 적용될 수 있다. 이 방법은 제1 영역 및 제2 영역을 갖는 반도체기판을 준비하는 단계를 포함한다. 상기 제1 영역내에 위치한 반도체기판의 소정영역에 제1 트렌치와 상기 제2 영역내에 위치한 상기 반도체기판의 소정영역에 형성된 상부 트렌치 및 상기 상부 트렌치 바닥면에 형성된 하부 트렌치로 구성된 제2 트렌치를 형성한다. 상기 제1 트렌치를 채우는 제1 소자분리막 및 상기 제2 트렌치를 채우는 제2 소자분리막을 형성한다. 이때, 상기 제1 트렌치 및 상기 상부 트렌치는 상기 반

도체기판 표면으로 부터 동일한 깊이를 갖고, 상기 하부 트렌치는 상기 상부 트렌치와 평행한 폭을 갖고, 상기 상부 트렌치의 폭은 상기 하부 트렌치의 폭보다 크다.

<21> 구체적으로, 상기 제1 및 제2 트렌치를 형성하는 방법은 상기 제2 영역 내에 위치한 상기 반도체기판의 소정영역에 보조 트렌치를 형성하는 단계를 포함할 수 있다. 상기 보조 트렌치를 갖는 반도체기판 상에 트렌치 마스크막을 형성한다. 상기 트렌치 마스크막을 패터닝하여 상기 제1 영역 내에 위치한 반도체기판의 소정영역을 노출시키는 제1 개구부 및 상기 제2 영역 내에 상기 보조 트렌치 및 상기 보조 트렌치 양측의 상기 반도체기판 표면의 소정영역을 노출시키는 제2 개구부를 형성한다. 상기 제1 및 제2 개구부들에 노출된 상기 반도체기판 표면 및 상기 보조 트렌치의 바닥면을 이방성식각하여 각각 상기 제1 영역 내에 제1 트렌치와 상기 제2 영역 내에 상기 반도체기판 표면에 형성된 상부 트렌치 및 상기 상부 트렌치 바닥면에 형성된 하부 트렌치로 구성된 제2 트렌치를 형성한다. 이때, 상기 상부 트렌치의 폭은 상기 제2 개구부의 폭과 동일하고, 상기 하부 트렌치의 폭은 상기 보조 트렌치의 폭과 동일하다. 이와는 다르게, 상기 제1 및 제2 트렌치들은 다른 방법으로 형성할 수 있다. 이 방법은 상기 제1 영역 내에 위치한 상기 반도체기판의 소정영역에 제1 트렌치 및 상기 제2 영역 내에 위치한 상기 반도체기판의 소정영역에 상부 트렌치를 형성하고, 상기 상부 트렌치 바닥면의 소정영역을 선택적으로 식각하여 하부 트렌치를 형성할 수 있다.

<22> 본 발명은 서로 다른 깊이의 트렌치 소자분리막들 및 키 영역내에 형성되는 키 소자분리막을 형성하는 방법에 적용될 수도 있다. 제1 영역, 제2 영역 및 키 영역을 갖는 반도체기판을 준비하는 단계를 포함한다. 상기 제2 영역 내에 위치하는 반도체기판의 소정영역에 보조 트렌치 및 상기 키 영역 내의 소정영역에 초기 키 트렌치를 형성한다. 상기 보조 트렌치 및 상기 초기 키 트렌치를 갖는 반도체기판 전면에서 트렌치 마스크막을 형성한다. 상기 트렌치 마스크막

을 패터닝하여 상기 제1 영역 내의 상기 반도체기판의 소정영역을 노출시키는 제1 개구부, 상기 제2 영역 내의 상기 보조 트렌치 및 상기 보조 트렌치 양측의 상기 반도체기판 표면의 소정영역을 노출시키는 제2 개구부 및 상기 키 영역 내에 초기 키 트렌치 및 상기 반도체기판 표면의 소정영역을 노출시키는 키 개구부를 형성한다. 상기 노출된 반도체기판 표면 및 상기 보조 트렌치의 바닥면을 이방성 식각하여 상기 제1 영역 내에 제1 트렌치, 상기 제2 영역 내에 상기 반도체기판 표면에 형성된 상부 트렌치 및 상기 상부 트렌치 바닥면에 형성된 하부 트렌치로 구성된 제2 트렌치 및 상기 키 영역 내에 상기 반도체기판 표면에 형성된 상부 키 트렌치 및 상기 상부 키 트렌치 바닥면에 형성된 하부 키 트렌치로 구성된 제2 키 트렌치를 형성한다. 상기 제1 트렌치 내에 제1 소자분리막, 상기 제2 트렌치 내에 제2 소자분리막 및 상기 키 트렌치 내에 키 소자분리막을 형성한다. 이때, 상기 제1 트렌치, 상기 상부 트렌치 및 상기 상부 키 트렌치는 상기 반도체기판 표면으로 부터 동일한 깊이를 갖고, 상기 상부 트렌치는 상기 제2 개구부의 폭과 동일하고, 상기 하부 트렌치는 상기 보조 트렌치의 폭과 동일하다.

<23> 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 또한 층이 다른 층 또는 기판 상에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 층이 개재될 수도 있다.

<24> 실시예1)

- <25> 도 3 내지 도 5는 본 발명의 일실시예에 따른 트렌치 소자분리막들의 형성방법을 설명하기 위한 단면도들이다. 도면에 있어서, 참조부호 'c', 'd' 및 'e'는 각각 셀 영역, 높은 전압 영역 및 키 영역을 나타낸다.
- <26> 도 3을 참조하면, 셀 영역(c), 높은 전압 영역(d) 및 키 영역(e)을 갖는 반도체기판(101) 전면 상에 보조 트렌치 마스크막(103)을 형성한다. 상기 보조 트렌치 마스크막(103)은 감광막(photoresist)으로 형성할 수 있다. 상기 키 영역(e)은 후속의 사진공정 진행시, 포토마스크의 정렬을 위한 정렬 키(align key)가 형성되는 영역이다. 상기 키 영역(e)은 스크라이브 라인(scribe line)에 위치할 수 있다.
- <27> 상기 보조 트렌치 마스크막(103)을 패터닝하여 상기 높은 전압 영역(d) 내에 위치하는 반도체기판(101)의 소정영역을 노출시키는 보조 트렌치 개구부(105) 및 상기 키 영역(e) 내의 반도체기판(101)의 소정영역을 노출시키는 초기 키 개구부(106)를 형성한다. 상기 보조 트렌치 개구부(105)는 소정의 폭(W1)을 갖도록 형성한다.
- <28> 상기 보조 트렌치 개구부(105) 및 상기 초기 키 개구부(106)에 노출된 반도체기판을 선택적으로 식각하여 각각 상기 높은 전압 영역(d) 내의 보조 트렌치(107) 및 상기 키 영역(e) 내의 초기 키 트렌치(109)를 형성한다. 상기 보조 및 초기 키 트렌치들(107, 109)은 소정의 깊이(d1)로 형성된다.
- <29> 이어서, 상기 패터닝된 보조 트렌치 마스크막(103)을 마스크로 사용하여 불순물 이온들을 주입하여 채널 스탑 불순물확산층(111)을 형성한다. 상기 채널 스탑 불순물확산층(111)은 상기 보조 트렌치(107)의 바닥면으로 부터 소정의 깊이(d2)로 이격된 반도체기판(101) 내에 형성된다. 상기 채널 스탑 불순물확산층(111)은 상기 채널 스탑 불순물확산층(111) 주위의 상기 반도체기판(101)과 같은 도전형으로 높은 농도를 갖도록 형성하는 것이 바람직하다. 예를 들면

, 상기 채널 스탑 불순물확산층(111) 주위의 상기 반도체기판(101)이 p형으로 도핑될 경우, 상기 채널 스탑 불순물확산층(111) 또한, p형으로 도핑되며, 상기 반도체기판(101)에 비하여 높은 농도를 갖는다.

<30> 상기 채널 스탑 불순물확산층(111)의 폭(W2)은 상기 보조 트렌치 개구부(105)의 폭(W1)과 동일한 것이 바람직하다. 즉, 상기 보조 트렌치 개구부의 폭(W1)은 상기 채널 스탑 불순물확산층의 폭(W2)에 의해 결정되는 것이 바람직하다. 상기 채널 스탑 불순물확산층(111) 형성시, 상기 초기 키 트렌치(109) 하부의 상기 반도체기판(101) 내에도 불순물확산층(111')이 형성될 수 있다.

<31> 도 4를 참조하면, 상기 채널 스탑 불순물확산층(111)을 갖는 반도체기판(101)으로 부터 상기 보조 트렌치 마스크막(103)을 제거한다.

<32> 이어서, 상기 반도체기판(101)의 전면 상에 트렌치 마스크막(113)을 형성한다. 상기 트렌치 마스크막(113)은 하드마스크막으로 형성할 수 있다. 상기 하드마스크막은 차례로 적층된 버퍼절연막 및 실리콘질화막으로 형성할 수 있다. 이와는 달리, 상기 트렌치 마스크막(113)은 감광막으로 형성할 수 있다.

<33> 상기 트렌치 마스크막(113)을 패터닝하여 상기 셀 영역(c)내에 위치한 반도체기판(101)의 소정영역을 노출시키는 셀 개구부(115), 상기 높은 전압 영역(d)내에 위치한 반도체기판(101)의 소정영역을 노출시키는 높은 전압 개구부(116) 및 상기 키 영역(e)에 위치한 반도체기판의 소정영역을 노출시키는 키 개구부(117)를 형성한다.

<34> 상기 높은 전압 개구부(116)는 적어도 상기 보조 트렌치(107)를 노출시킨다. 바람직하게는, 상기 보조 트렌치(107) 양측의 상기 반도체기판(101) 표면의 소정영역을 더 노출시킨다.

즉, 상기 높은 전압 개구부(116)의 폭(W3)은 상기 보조 트렌치(107)의 폭(W1)에 비하여 큰 것이 바람직하다. 상기 폭들(W1, W3)은 서로 평행하다. 상기 키 개구부(117)는 상기 초기 키 트렌치들(109)을 노출시키는 것이 바람직하다. 상기 키 개구부(117) 및 상기 초기 키 트렌치들(109)을 정렬시킴으로써, 상기 셀 개구부(115) 및 상기 높은 전압 개구부(116)가 정렬된다.

<35> 상기 셀 개구부(115), 높은 전압 개구부(116) 및 키 개구부(117)들에 노출된 반도체기판(101)의 표면 및 상기 보조 트렌치(107)의 바닥면을 이방성 식각으로 식각하여 각각 셀 활성영역을 한정하는 셀 트렌치(120), 높은 전압 활성영역을 한정하는 높은 전압 트렌치(125) 및 키 트렌치(130)를 형성한다.

<36> 상기 셀 트렌치(120)는 도2 에 도시된 종래의 셀 트렌치(4a)에 비하여 작은 깊이를 갖도록 형성한다. 즉, 상기 셀 트렌치(120)의 깊이(d2)가 종래의 그것에 비하여 작음으로써, 상기 셀 트렌치(120)의 종횡비가 종래에 비하여 작아진다. 상기 높은 전압 트렌치(125)는 상기 반도체기판(101)의 표면에 형성된 상부 트렌치(122) 및 상기 상부 트렌치(122)의 바닥면에 형성된 하부 트렌치(123)로 구성된다. 상기 상부 트렌치(122)의 폭은 상기 높은 전압 개구부(116)의 폭(W3)과 동일하며, 상기 상부 트렌치(122)의 깊이는 상기 셀 트렌치(120)의 깊이와 동일하다. 상기 하부 트렌치(123)의 폭은 상기 보조 트렌치(107)의 폭(W1)과 동일하고, 상기 상부 트렌치(122) 바닥면 아래의 상기 하부 트렌치(123)의 깊이는 상기 보조 트렌치(107)의 깊이(d1)와 동일하다. 즉, 상기 높은 전압 트렌치(125)의 깊이는 상기 셀 트렌치(120)의 깊이(d2) 및 상기 보조 트렌치(107)의 깊이(d1)의 합이다. 상기 높은 전압 트렌치(125)의 하부면, 즉, 상기 하부 트렌치(123)의 바닥면은 상기 채널 스탑 불순물확산층(111)과 접촉하는 것이 바람직하다. 도면에 있어서, 상기 채널 스탑 불순물확산층(111)의 상부면과 상기 하부 트렌치(123)의 바닥면이 접촉하도록 도시되어 있으나, 상기 높은 전압 트렌치(125) 형성시, 상기 채널 스탑

불순물확산층(111)의 일부분이 식각될 수 있다. 이는, 상기 식각공정의 마진을 확보하기 위한 것이다.

- <37> 상기 키 트렌치(130)는 상기 반도체기판(101)의 표면에 형성된 상부 키 트렌치(127) 및 상기 상부 키 트렌치(127)의 바닥면에 형성된 하부 키 트렌치들(128)로 구성된다. 상기 상부 키 트렌치(127)의 깊이는 상기 셀 트렌치(120)의 깊이(d2)와 동일하며, 상기 상부 키 트렌치(127) 바닥면 아래의 상기 하부 키 트렌치(128)의 깊이는 상기 초기 키 트렌치(109)의 깊이와 동일하다.
- <38> 이어서, 도시하지 않았지만, 상기 트렌치들(120,125,130)의 내부측벽 및 바닥에 측벽산화막(미도시함)을 형성할 수 있다. 상기 측벽산화막은 상기 트렌치들(120,125,130) 형성시, 식각공저에 의하여 손상된 내부측벽 및 바닥면을 치유하기 위한 것으로, 열산화막으로 형성할 수 있다.
- <39> 이어서, 상기 셀 트렌치(120), 상기 높은 전압 트렌치(125) 및 상기 키 트렌치(130)를 충분히 채우는 소자분리절연막(132)을 반도체기판(101) 전면상에 형성한다. 상기 소자분리절연막(132)은 실리콘산화막으로 형성할 수 있다.
- <40> 상기 소자분리절연막(132) 형성시, 상기 셀 트렌치(120)의 종횡비가 종래의 셀 트렌치의 종횡비에 비하여 낮음으로 인하여, 종래의 셀 트렌치 내부에 형성되던 보이드를 방지할 수 있다. 결과적으로, 종래의 보이드에 의해 야기될수 있는 반도체 소자의 신뢰성 열화를 개선할 수 있다.
- <41> 도 5를 참조하면, 상기 소자분리절연막(132)을 상기 트렌치 마스크막(113)이 노출될때까지 평탄화시키어 상기 셀 트렌치(120)내의 셀 소자분리막(132a), 상기 높은 전압 트렌치(125)

내의 높은 전압 소자분리막(132b) 및 상기 키 트렌치(130) 내의 키 소자분리막(132c)을 형성한다. 상기 노출된 트렌치 마스크막(113)을 식각하여 제거한다.

<42> 상술한 본 발명의 일실시예에서, 상기 셀 소자분리막(132a) 및 상기 높은 전압 소자분리막(132b)의 깊이는 차이가 있다. 다시 말해서, 상기 높은 전압 소자분리막(132b)의 깊이는 상기 셀 소자분리막(132a)의 깊이(d2)에 비하여 상기 하부 트렌치(123)의 깊이(d1) 만큼 더 깊다. 이로 인하여, 상기 높은 전압 소자분리막(132b) 양측의 활성영역에 형성되는 높은 전압용 트랜지스터들의 소오스/드레인 영역들(미도시함) 간의 편치 특성이 열화되는 현상을 최소화할 수 있다. 또한, 종래의 채널 스탑 불순물확산층이 반도체기판과 가까워짐으로써, 트랜지스터들의 문턱전압이 증가하는 현상을 최소화할 수 있다.

<43> 결과적으로, 도 3의 초기 키 트렌치(109) 형성시, 상기 높은 전압 영역(d)내에 보조 트렌치(107)를 형성함으로써, 상기 셀 트렌치(120)의 깊이(d2)를 종래의 그것보다 얇게 형성함과 동시에, 상기 상부 트렌치(122) 및 상기 하부 트렌치(123)로 구성된 높은 전압 트렌치(125)를 형성할 수 있다. 이에 따라, 종래의 셀 소자분리막 내에 발생하던 보이드를 방지하고, 종래의 높은 전압용 트랜지스터들의 특성이 열화되는 현상을 개선할 수 있다.

<44> 플래쉬 기억소자의 경우, 상기 셀 영역(c)내에도 높은 전압이 인가되나, 상기 높은 전압은 단위 셀(미도시함)의 게이트 전극에 인가됨으로, 상기 셀 트렌치(120)의 깊이가 종래에 비하여 작아질지라도, 단위 셀들간의 편치 특성이 열화되지 않는다.

<45> 실시예 2)

- <46> 본 발명에 따른 다른 실시예는 상술한 일 실시예와 유사하다. 차이점은 하부 트렌치의 폭을 채널 스탑 불순물확산층의 폭에 비하여 크고, 상부 트렌치의 폭에 비하여 적게 형성하는 것이다. 상술한 일 실시예와 동일한 역할을 하는 요소들은 참조부호를 동일하게 표시하였다.
- <47> 도 6 내지 도 9는 본 발명의 다른 실시예에 따른 트렌치 소자분리막들의 형성방법을 설명하기 위한 단면도들이다.
- <48> 도 6을 참조하면, 셀 영역(c), 높은 전압 영역(d) 및 키 영역(e)을 갖는 반도체기판(101) 전면 상에 보조 트렌치 마스크막(103)을 형성한다.
- <49> 상기 보조 트렌치 마스크막(103)을 패터닝하여 상기 높은 전압 영역(d)내에 위치한 반도체기판(101)의 소정영역을 노출시키는 보조 트렌치 개구부(140) 및 상기 키 영역(e)에 위치한 반도체기판(101)의 소정영역을 노출시키는 초기 키 개구부(106)를 형성한다. 상기 보조 트렌치 개구부(140)는 소정의 폭(W1')을 갖는다. 이때, 상기 보조 트렌치 개구부(140)의 폭(W1')은 상술한 일 실시예의 그것에 비하여 크게 형성한다.
- <50> 상기 보조 트렌치 개구부(140) 및 초기 키 개구부(106)에 노출된 반도체기판(101)을 선택적으로 식각하여 각각 상기 높은 전압 영역(b)내의 보조 트렌치(142) 및 상기 키 영역(d)내의 초기 키 트렌치(109)를 형성한다.
- <51> 상기 보조 트렌치(142)는 상기 보조 트렌치 개구부(140)의 폭(W1')과 동일하다. 상기 보조 트렌치(142)는 소정의 깊이(d1)를 갖고, 상기 보조 트렌치(142)의 깊이(d1)는 상기 초기 키 트렌치(109)의 깊이와 동일하다.
- <52> 도 7을 참조하면, 상기 보조 트렌치(142)를 갖는 반도체기판(101)으로 부터 상기 보조 트렌치 마스크막(103)을 제거한다.

- <53> 이어서, 상기 반도체기판(101) 상에 이온 주입 마스크막(144)을 형성하고, 상기 이온 주입 마스크막(144)을 패터닝하여 상기 보조 트렌치(142) 바닥면의 소정영역을 노출시키는 이온 주입 개구부(146)를 형성한다. 이때, 상기 셀 영역(c) 및 상기 키 영역(d)은 상기 이온 주입 마스크막(144)으로 덮혀 있을 수 있다. 이와는 달리, 상기 셀 영역 내에 상기 반도체기판(101)의 표면에 채널 불순물확산층(미도시함)을 형성하기 위한 개구부(미도시함)가 형성될 수 있다. 상기 패터닝된 이온 주입 마스크막(144)의 정렬키는 다른 정렬키(미도시함)에 정렬될 수 있다.
- <54> 상기 이온 주입 개구부(146)의 폭(W2)은 상기 보조 트렌치(142)의 폭(W1')에 비하여 작은 것이 바람직하다. 상기 이온 주입 마스크막(144)은 감광막으로 형성할 수 있다.
- <55> 상기 패터닝된 이온 주입 마스크막(144)을 마스크로 사용하여 불순물 이온들을 주입하여 상기 보조 트렌치(142)의 바닥면으로 부터 소정의 깊이(d2)로 이격된 채널 스탑 불순물확산층(111)을 형성한다. 이때, 상기 채널 스탑 불순물확산층(111)의 폭은 상기 이온 주입 개구부(146)의 폭(W2)과 동일한 것이 바람직하다.
- <56> 도 8 및 도 9를 참조하면, 상기 채널 스탑 불순물확산층(111)을 갖는 반도체기판(101)으로부터 상기 패터닝된 이온 주입 마스크막(144)을 제거한다. 이어서, 상기 반도체기판(101)의 전면 상에 트렌치 마스크막(113)을 형성한다.
- <57> 상기 트렌치 마스크막(113)을 패터닝하여 상기 셀 영역(c)에 위치한 반도체기판(101)의 소정영역을 노출시키는 셀 개구부(115), 상기 높은 전압 영역(d) 내에 위치한 반도체기판(101)의 소정영역을 노출시키는 높은 전압 개구부(116) 및 상기 키 영역(e)에 위치한 반도체기판(101)의 소정영역을 노출시키는 키 개구부(117)를 형성한다. 이때, 상기 높은 전압 개구부(116)의 폭(W3)은 상기 보조 트렌치(142)의 폭(W1')에 비하여 큰 것이 바람직하다. 다시 말해

서, 상기 보조 트렌치(142)의 폭(W1')은 상기 채널 스탑 불순물층(111)의 폭(W2)에 비하여 크고, 상기 높은 전압 개구부(116)의 폭(W3)에 비하여 적은 것이 바람직하다.

<58> 상기 노출된 반도체기판(101)을 이방성 식각으로 식각하여 상기 셀 영역(c)내에 셀 활성영역을 한정하는 셀 트렌치(120), 상기 높은 전압 영역(d)내에 높은 전압 활성영역을 한정하는 높은 전압 트렌치(150) 및 상기 키 영역(e)내에 키 트렌치(130)를 형성한다.

<59> 상기 셀 트렌치(120)는 종래의 셀 트렌치에 비하여 낮은 깊이를 갖도록 형성하는 것이 바람직하다. 상기 높은 전압 트렌치(150)는 상기 반도체기판(101)의 표면에 형성된 상부 트렌치(148) 및 상기 상부 트렌치(148)의 바닥면에 형성된 하부 트렌치(149)로 구성된다. 상기 상부 트렌치(148)의 깊이는 상기 셀 트렌치(120)의 깊이(d2)와 동일하며, 상기 상부 트렌치(148)의 바닥면 아래의 상기 하부 트렌치(149)의 깊이는 상기 보조 트렌치(142)의 깊이(d1)와 동일하다. 상기 하부 트렌치(149)는 상기 채널 스탑 불순물확산층(111)과 접촉하는 것이 바람직하다. 상기 키 트렌치(130)는 상술한 일실시예와 같이, 상부 키 트렌치(127) 및 하부 키 트렌치(128)로 구성된다.

<60> 상기 트렌치들(120, 150, 130)을 채우는 소자분리절연막(132)을 반도체기판(101) 전면 상에 형성한다. 상기 소자분리절연막(132)을 상기 트렌치 마스크막(113)이 노출될때까지 평탄화시키어, 상기 셀 트렌치(120) 내에 셀 소자분리막(132a), 상기 높은 전압 트렌치(150) 내에 높은 전압 소자분리막(132b') 및 상기 키 트렌치(130) 내에 키 소자분리막(132c)을 형성한다. 상기 노출된 트렌치 마스크막(113)을 제거한다.

<61> 상기 트렌치 마스크막(113) 및 상기 소자분리절연막(132)은 상술한 일 실시예에서 설명한 막들로 형성할 수 있다.

- <62> 결과적으로, 상기 셀 트렌치(120)의 깊이(d2)를 종래의 그것보다 얇게 형성하여, 종래의 셀 트렌치 내에 발생할 수 있는 보이드를 방지할 수 있다. 이와 동시에, 상기 높은 전압 트렌치(150)를 상기 상부 및 하부 트렌치들(148,149)을 갖도록 형성하여 상기 셀 트렌치(120)의 깊이(d2)에 비하여 깊게 형성한다. 이로 인하여, 종래의 높은 전압용 트랜지스터들의 특성열화를 최소화할 수 있다.
- <63> 이에 더하여, 본 발명의 다른 실시예에서는, 상기 하부 트렌치(149)의 폭을 결정하는 상기 보조 트렌치(142)의 폭(W1')을 상기 채널 스탑 불순물확산층(111)의 폭보다 크고, 상기 상부 트렌치(148)의 폭(W3)보다 적게 형성할 수 있다. 그 결과, 상기 보조 트렌치(142)의 폭(W1')에 대한 공정 마진을 확보할 수 있다.
- <64> 실시예 3)
- <65> 본 발명의 또 다른 실시예에서에 따른 트렌치 소자분리막의 형성방법의 특징으로는, 높은 전압 트렌치를 형성하기 위한 보조 트렌치를 형성하지 않는다. 즉, 높은 전압 트렌치의 상부 및 하부 트렌치를 순차적으로 형성한다.
- <66> 도 10 내지 도 13은 본 발명의 또 다른 실시예에 따른 트렌치 소자분리막들의 형성방법을 설명하기 위한 단면도들이다.
- <67> 도 10을 참조하면, 셀 영역(c), 높은 전압 영역(d) 및 키 영역(e)을 갖는 반도체기판(201)에 선택적으로 식각하여 상기 키 영역(e) 내에 초기 키 트렌치(203)를 형성한다.
- <68> 상기 초기 키 트렌치(203)를 갖는 반도체기판(201) 전면 상에 이온 주입 마스크막(205)을 형성하고, 상기 이온 주입 마스크막(205)을 패터닝하여 상기 높은 전압 영역(d) 내의 소정 영역을 노출시키는 이온 주입 개구부(207)를 형성한다. 이때, 상기 셀 영역(c)내에 셀 트랜지

스터(미도시함)의 문턱전압을 조절하는 불순물 이온들을 주입하기 위한 다른 개구부(미도시함)를 형성할 수 있다. 상기 이온 주입 마스크막(205)은 감광막으로 형성할 수 있다. 상기 이온 주입 개구부(207)는 소정의 폭(Wa)을 갖는다. 상기 이온 주입 개구부(207) 형성시, 마스크 패턴은 다른 정렬기(미도시함)에 정렬될 수 있다.

<69> 상기 패터닝된 이온 주입 마스크막(205)을 마스크로 사용하여 불순물 이온들을 주입하여 상기 노출된 반도체기판(201)의 표면으로 부터 소정의 깊이(Da)로 이격된 반도체기판(101) 내에 채널 스탑 불순물확산층(209)을 형성한다. 이어서, 도시 하지 않았지만, 상기 다른 개구부(미도시함)에 노출된 상기 셀 영역(c)의 표면에 다른 불순물 이온들을 주입하여 표면 불순물확산층(미도시함)을 형성할 수 있다.

<70> 도 11을 참조하면, 상기 채널 스탑 불순물확산층(209)을 갖는 반도체기판(201)으로 부터 상기 패터닝된 이온 주입 마스크막(205)을 제거한다. 이어서, 상기 반도체기판(201) 상에 제1 트렌치 마스크막(211)을 형성한다. 상기 제1 트렌치 마스크막(211)은 하드마스크막 또는 감광막으로 형성할 수 있다. 상기 하드마스크막은 적층된 버퍼산화막 및 실리콘질화막으로 형성할 수 있다.

<71> 상기 제1 트렌치 마스크막(211)을 패터닝하여 상기 셀 영역(c) 내에 위치한 상기 반도체기판(201)의 소정영역을 노출시키는 셀 개구부(213), 상기 높은 전압 영역(d)내에 위치한 상기 반도체기판(201)의 소정영역을 노출시키는 상부 트렌치 개구부(214) 및 상기 키 영역(e)내에 위치한 상기 반도체기판(201)의 소정영역을 노출시키는 키 개구부(215)를 형성한다. 상기 상부 트렌치 개구부(214)는 소정의 폭(Wb)을 갖는다. 상기 키 개구부(215)는 상기 초기 키 트렌치(203)들을 노출시키는 것이 바람직하다.

- <72> 상기 노출된 반도체기판(201)을 선택적으로 식각하여 상기 셀 영역(c)내의 셀 활성영역을 한정하는 셀 트렌치(220), 상기 높은 전압 영역(d)내의 높은 전압 활성영역을 한정하는 상부 트렌치(223) 및 상기 키 영역(e) 내에 키 트렌치(230)를 형성한다. 상기 셀 트렌치(220)의 깊이(Db)는 종래에 비하여 얇게 형성하는 것이 바람직하다. 상기 상부 트렌치(223)의 폭은 상기 상부 트렌치 개구부(214)의 폭(Wb)과 동일하고, 상기 상부 트렌치(223)의 깊이는 상기 셀 트렌치(220)의 깊이(Db)와 동일하다. 상기 키 트렌치(230)는 상기 반도체기판(201)의 표면에 형성된 상부 키 트렌치(228) 및 상기 상부 키 트렌치(228)의 바닥면에 형성된 하부 키 트렌치(229)로 구성된다.
- <73> 도 12를 참조하면, 상기 상부 트렌치(223)가 형성된 반도체기판(201)으로 부터 상기 제1 트렌치 마스크막(211)을 식각하여 제거하고, 상기 제1 트렌치 마스크막(211)이 제거된 반도체기판(201) 전면 상에 제2 트렌치 마스크막(232)을 형성한다. 상기 제2 트렌치 마스크막(232)은 감광막으로 형성할 수 있다.
- <74> 상기 제2 트렌치 마스크막(232)을 패터닝하여 상기 상부 트렌치(223) 바닥면의 소정영역을 노출시키는 하부 트렌치 개구부(234)를 형성한다. 이때, 상기 셀 영역(c)은 상기 제2 트렌치 마스크막(232)으로 덮혀 있는 것이 바람직하다. 상기 키 영역(e)은 다른 정렬키(미도시함)를 노출시켜 정렬할 수 있다.
- <75> 상기 노출된 상부 트렌치(223)의 바닥면을 선택적으로 식각하여 하부 트렌치(224)를 형성한다. 상기 하부 트렌치(224)의 바닥면은 상기 채널 스탑 불순물확산층(209)과 접촉하는 것이 바람직하다. 상기 하부 트렌치(224)의 폭(Wc)은 상기 상부 트렌치(223)의 폭(Wa)에 비하여 적은 것이 바람직하다. 이에 더하여, 상기 하부 트렌치(224)의 폭(Wc)은 상기 채널 스탑 불순물확산층(209)의 폭(Wa)과 같거나 큰 것이 바람직하다. 상기 상부 및 하부 트렌치들(223, 224)

은 높은 전압 트렌치(225)를 구성한다. 그 결과, 상기 높은 전압 트렌치(225)는 상기 셀 트렌치의 깊이(Db)에 비하여 상기 상부 트렌치(223)의 바닥면 아래의 상기 하부 트렌치의 깊이(Dc)만큼 더 깊게 형성된다.

<76> 상기 채널 스탑 불순물확산층(209)은 상기 상부 트렌치(223) 형성 후에 형성할 수 있다. 이와는 달리, 상기 채널 스탑 불순물확산층(209)은 상기 하부 트렌치(224) 형성후에 형성할 수 있다.

<77> 도 13을 참조하면, 상기 높은 전압 트렌치(225)를 갖는 반도체기판(201)으로 부터 상기 제2 트렌치 마스크막(232)을 제거하여, 상기 셀 트렌치(220), 상기 높은 전압 트렌치(225) 및 상기 키 트렌치(230)를 노출시킨다.

<78> 이어서, 노출된 상기 셀 트렌치(220), 상기 높은 전압 트렌치(225) 및 상기 키 트렌치(230)의 내부를 채우는 소자분리절연막(미도시함)을 반도체기판(201) 전면 상에 형성한다. 상기 소자분리절연막을 상기 반도체기판(201)의 표면이 노출될때까지 평탄화시키어 상기 셀 트렌치(220) 내부를 채우는 셀 소자분리막(235), 상기 높은 전압 트렌치(225) 내부를 채우는 높은 전압 소자분리막(237) 및 상기 키 트렌치(230) 내부를 채우는 키 소자분리막(239)을 형성한다.

<79> 결과적으로, 상기 셀 트렌치(220)의 깊이는 종래의 셀 트렌치에 비하여 얇게 형성하여 종래의 셀 소자분리막 내에 형성되던 보이드를 방지할 수 있다. 이와 동시에, 상기 높은 전압 트렌치(225)는 상기 셀 트렌치(220)의 깊이(Db)에 비하여 상기 하부 트렌치(224)의 깊이(Dc)만큼 더 깊게 형성함으로써, 종래에 높은 전압 영역에 형성된 트랜지스터의 특성 열화를 최소화할 수 있다.

【발명의 효과】

<80> 상술한 바와 같이, 본 발명에 따르면, 셀 트렌치를 종래에 비하여 얇게 형성하고, 이와 동시에, 상기 셀 트렌치와 동일한 깊이를 갖는 상부 트렌치 및 상기 상부 트렌치의 바닥면에 형성된 하부 트렌치로 구성된 높은 전압 트렌치를 형성한다. 그 결과, 상기 셀 트렌치의 종횡비를 감소시킴으로써, 종래의 셀 소자분리막 내에 형성되던 보이드를 방지함과 동시에, 상기 높은 전압 트렌치의 깊이가 상기 셀 트렌치에 비하여 상기 하부 트렌치 만큼 더 깊게 형성되어 종래의 높은 전압 영역의 트랜지스터들의 특성이 열화되는 현상을 최소화할 수 있다.

【특허청구범위】**【청구항 1】**

반도체기판을 준비하는 단계;

상기 반도체기판의 소정영역에 형성된 상부 트렌치 및 상기 상부 트렌치의 바닥면에 형성된 하부 트렌치를 형성하는 단계; 및

상기 상부 및 하부 트렌치 내부를 채우는 소자분리막을 형성하는 단계를 포함하되, 상기 하부 트렌치는 상기 상부 트렌치와 평행한 폭을 갖고, 상기 상부 트렌치의 폭은 상기 하부 트렌치의 폭에 비하여 큰 것을 특징으로 하는 트렌치 소자분리막의 형성방법.

【청구항 2】

제 1 항에 있어서,

상기 상부 및 하부 트렌치들을 형성하는 단계는,

상기 반도체기판의 소정영역에 보조 트렌치를 형성하는 단계;

상기 보조 트렌치를 갖는 반도체기판 상에 트렌치 마스크막을 형성하는 단계;

상기 트렌치 마스크막을 패터닝하여 상기 보조 트렌치 및 상기 보조 트렌치 양측의 상기 반도체기판 표면의 소정영역을 노출시키는 개구부를 형성하는 단계; 및

상기 노출된 보조 트렌치의 바닥면 및 상기 반도체기판 표면을 이방성 식각하여 상기 반도체기판 표면에 형성된 상부 트렌치 및 상기 상부 트렌치 바닥면에 형성된 하부 트렌치를 형성하는 단계를 포함하되, 상기 상부 트렌치의 폭은 상기 개구부의 폭과 동일하고, 상기 하부 트렌치의 폭은 상기 보조 트렌치의 폭과 동일한 것을 특징으로 하는 트렌치 소자분리막의 형성방법.

【청구항 3】

제 2 항에 있어서,

상기 보조 트렌치를 형성한 후에,

상기 보조 트렌치의 바닥면으로 부터 소정의 깊이로 이격된 상기 반도체기판 내에 채널 스탑 불순물확산층을 형성하는 단계를 더 포함하되, 상기 하부 트렌치의 바닥면은 상기 채널 스탑 불순물확산층과 접촉하고, 상기 채널 스탑 불순물확산층은 상기 보조 트렌치와 평행한 폭을 갖는 것을 특징으로 하는 트렌치 소자분리막의 형성방법.

【청구항 4】

제 3 항에 있어서,

상기 보조 트렌치의 폭은 상기 채널 스탑 불순물확산층과 동일하게 형성하는 것을 특징으로 하는 트렌치 소자분리막의 형성방법.

【청구항 5】

제 4 항에 있어서,

상기 보조 트렌치 및 상기 채널 스탑 불순물확산층을 형성하는 단계는,

상기 반도체기판 상에 보조 트렌치 마스크막을 형성하는 단계;

상기 보조 트렌치 마스크막을 패터닝하여 상기 반도체기판의 소정영역을 노출시키 보조 트렌치 개구부를 형성하는 단계;

상기 노출된 반도체기판을 선택적으로 식각하여 보조 트렌치를 형성하는 단계;

상기 패터닝된 보조 트렌치 마스크막을 마스크로 사용하여 불순물 이온들을 주입하여 상기 보조 트렌치의 바닥면으로 부터 소정의 깊이로 이격된 상기 반도체기판 내에 채널 스탑 불순물확산층을 형성하는 단계; 및

상기 패터닝된 보조 트렌치 마스크막을 제거하는 단계를 포함하는 것을 특징으로 하는 트렌치 소자분리막의 형성방법.

【청구항 6】

제 3 항에 있어서,

상기 보조 트렌치의 폭은 상기 채널 스탑 불순물확산층의 폭 보다 크게 형성하는 것을 특징으로 트렌치 소자분리막의 형성방법.

【청구항 7】

제 6 항에 있어서,

상기 채널 스탑 불순물확산층을 형성하는 단계는,

상기 보조 트렌치를 갖는 반도체기판 상에 이온 주입 마스크막을 형성하는 단계;

상기 이온 주입 마스크막을 패터닝하여 상기 보조 트렌치 바닥면의 소정영역을 노출시키되, 상기 보조 트렌치의 폭에 비하여 작은 폭을 갖는 이온 주입 개구부를 형성하는 단계;

상기 패터닝된 이온 주입 마스크막을 마스크로 사용하여 불순물 이온들을 주입하여 상기 보조 트렌치의 바닥면으로 부터 소정의 깊이로 이격된 상기 반도체기판 내에 채널 스탑 불순물층을 형성하는 단계; 및

상기 패터닝된 이온 주입 마스크막을 제거하는 단계를 포함하는 것을 특징으로 하는 트렌치 소자분리막의 형성방법.

【청구항 8】

제 2 항에 있어서,

상기 소자분리막을 형성하는 단계는,

상기 상부 및 하부 트렌치 내부를 채우는 소자분리절연막을 반도체기판 전면에 형성하는 단계;

상기 소자분리절연막을 상기 패터닝된 트렌치 마스크막이 노출될때까지 평탄화하는 단계; 및

상기 노출된 트렌치 마스크막을 제거하는 단계를 포함하는 것을 특징으로 하는 트렌치 소자분리막의 형성방법.

【청구항 9】

제 1 항에 있어서,

상기 상부 및 하부 트렌치를 형성하는 단계는,

상기 반도체기판의 소정영역에 상부 트렌치를 형성하는 단계; 및

상기 상부 트렌치 바닥면의 소정영역을 선택적으로 식각하여 하부 트렌치를 형성하는 단계를 포함하는 것을 특징으로 하는 트렌치 소자분리막의 형성방법.

【청구항 10】

제 9 항에 있어서,

상기 하부 트렌치 아래의 상기 반도체기판 내에 채널 스탑 불순물확산층을 형성하는 단계를 더 포함하되, 상기 하부 트렌치의 바닥면은 상기 채널 스탑 불순물확산층과 접촉하고, 상

기 채널 스탑 불순물확산층은 상기 상부 트렌치의 폭과 평행한 폭을 갖는 것을 특징으로 하는 트렌치 소자분리막의 형성방법.

【청구항 11】

제 9 항에 있어서,

상기 보조 트렌치의 폭은 상기 채널 스탑 불순물확산층의 폭과 같거나 크게 형성하는 것을 특징으로 하는 트렌치 소자분리막의 형성방법.

【청구항 12】

제1 영역 및 제2 영역을 갖는 반도체기판을 준비하는 단계;

상기 제1 영역내에 위치한 반도체기판의 소정영역에 제1 트렌치와 상기 제2 영역내에 위치한 상기 반도체기판의 소정영역에 형성된 상부 트렌치 및 상기 상부 트렌치 바닥면에 형성된 하부 트렌치로 구성된 제2 트렌치를 형성하는 단계; 및

상기 제1 트렌치를 채우는 제1 소자분리막 및 상기 제2 트렌치를 채우는 제2 소자분리막을 형성하는 단계를 포함하되, 상기 제1 트렌치 및 상기 상부 트렌치는 상기 반도체기판 표면으로부터 동일한 깊이를 갖고, 상기 하부 트렌치는 상기 상부 트렌치와 평행한 폭을 갖고, 상기 상부 트렌치의 폭은 상기 하부 트렌치의 폭보다 큰 것을 특징으로 하는 트렌치 소자분리막들의 형성방법.

【청구항 13】

제 12 항에 있어서,

상기 제1 및 제2 트렌치를 형성하는 단계는;

상기 제2 영역 내에 위치한 상기 반도체기판의 소정영역에 보조 트렌치를 형성하는 단계;

상기 보조 트렌치를 갖는 반도체기판 상에 트렌치 마스크막을 형성하는 단계;

상기 트렌치 마스크막을 패터닝하여 상기 제1 영역 내에 위치한 반도체기판의 소정영역을 노출시키는 제1 개구부 및 상기 제2 영역 내에 상기 보조 트렌치 및 상기 보조 트렌치 양측의 상기 반도체기판 표면의 소정영역을 노출시키는 제2 개구부를 형성하는 단계; 및

상기 제1 및 제2 개구부들에 노출된 상기 반도체기판 표면 및 상기 보조 트렌치의 바닥면을 이방성식각하여 각각 상기 제1 영역 내에 제1 트렌치와 상기 제2 영역 내에 상기 반도체기판 표면에 형성된 상부 트렌치 및 상기 상부 트렌치 바닥면에 형성된 하부 트렌치로 구성된 제2 트렌치를 형성하는 단계를 포함하되, 상기 상부 트렌치의 폭은 상기 제2 개구부의 폭과 동일하고, 상기 하부 트렌치의 폭은 상기 보조 트렌치의 폭과 동일한 것을 특징으로 하는 트렌치 소자분리막들의 형성방법.

【청구항 14】

제 13 항에 있어서,

상기 보조 트렌치를 형성한 후에,

상기 보조 트렌치의 바닥면으로 부터 소정의 깊이로 이격된 상기 반도체기판 내에 채널 스탑 불순물확산층을 형성하는 단계를 더 포함하되, 상기 하부 트렌치의 바닥면은 상기 채널 스탑 불순물확산층과 접촉하고, 상기 채널 스탑 불순물확산층은 보조 트렌치와 평행한 폭을 갖는 것을 특징으로 하는 트렌치 소자분리막들의 형성방법.

【청구항 15】

제 14 항에 있어서,

상기 보조 트렌치의 폭은 상기 채널 스탑 불순물확산층의 폭과 동일하도록 형성하는 것을 특징으로 하는 트렌치 소자분리막들의 형성방법.

【청구항 16】

제 15 항에 있어서,

상기 보조 트렌치 및 상기 채널 스탑 불순물확산층을 형성하는 단계는,

상기 반도체기판 상에 보조 트렌치 마스크막을 형성하는 단계;

상기 보조 트렌치 마스크막을 패터닝하여 상기 제2 영역 내의 상기 반도체기판의 소정 영역을 노출시키 보조 트렌치 개구부를 형성하는 단계;

상기 노출된 상기 반도체기판을 식각하여 보조 트렌치를 형성하는 단계;

상기 패터닝된 보조 트렌치 마스크막을 마스크로 사용하여 불순물 이온들을 주입하여 상기 보조 트렌치의 바닥면으로 부터 소정의 깊이로 이격된 상기 반도체기판 내에 채널 스탑 불순물확산층을 형성하는 단계; 및

상기 패터닝된 보조 트렌치 마스크막을 제거하는 단계를 포함하는 것을 특징으로 하는 트렌치 소자분리막들의 형성방법.

【청구항 17】

제 14 항에 있어서,

상기 보조 트렌치의 폭은 상기 채널 스탑 불순물확산층의 폭에 비하여 크게 형성하는 것을 특징으로 하는 트렌치 소자분리막들의 형성방법.

【청구항 18】

제 17 항에 있어서,

상기 채널 스탭 불순물확산층을 형성하는 단계는,

상기 보조 트렌치를 갖는 반도체기판 상에 이온 주입 마스크막을 형성하는 단계;

상기 이온 주입 마스크막을 패터닝하여 상기 보조 트렌치 바닥면의 소정영역을 노출시키되, 상기 보조 트렌치의 폭에 비하여 작은 폭을 갖는 이온 주입 개구부를 형성하는 단계;

상기 패터닝된 이온 주입 마스크막을 마스크로 사용하여 불순물 이온들을 주입하여 상기 보조 트렌치 바닥면으로 부터 소정의 깊이로 이격된 상기 반도체기판 내에 채널 스탭 불순물 확산층을 형성하는 단계; 및

상기 패터닝된 이온 주입 마스크막을 제거하는 단계를 포함하는 것을 특징으로 하는 트렌치 소자분리막의 형성방법.

【청구항 19】

제 12 항에 있어서,

상기 제1 및 제2 트렌치를 형성하는 단계는,

상기 제1 영역 내에 위치한 상기 반도체기판의 소정영역에 제1 트렌치 및 상기 제2 영역 내에 위치한 상기 반도체기판의 소정영역에 상부 트렌치를 형성하는 단계; 및

상기 상부 트렌치 바닥면의 소정영역을 선택적으로 식각하여 하부 트렌치를 형성하는 단계를 포함하는 것을 특징으로 하는 트렌치 소자분리막들의 형성방법.

【청구항 20】

제 19 항에 있어서,

상기 하부 트렌치의 바닥면 아래에 채널 스탑 불순물확산층을 형성하는 단계를 더 포함 하되, 상기 하부 트렌치의 바닥면은 상기 채널 스탑 불순물확산층과 접촉하고, 상기 채널 스탑 불순물확산층은 상기 하부 트렌치와 평행한 폭을 갖는 것을 특징으로 하는 트렌치 소자분리막의 형성방법.

【청구항 21】

제 20 항에 있어서,

상기 하부 트렌치의 폭은 상기 채널 스탑 불순물확산층의 폭과 같거나 크게 형성하는 것을 특징으로 하는 트렌치 소자분리막의 형성방법.

【청구항 22】

제1 영역, 제2 영역 및 키 영역을 갖는 반도체기판을 준비하는 단계;

상기 제2 영역 내에 위치하는 반도체기판의 소정영역에 보조 트렌치 및 상기 키 영역 내의 소정영역에 초기 키 트렌치를 형성하는 단계;

상기 보조 트렌치 및 상기 초기 키 트렌치를 갖는 반도체기판 전면에 트렌치 마스크막을 형성하는 단계;

상기 트렌치 마스크막을 패터닝하여 상기 제1 영역 내의 상기 반도체기판의 소정영역을 노출시키는 제1 개구부, 상기 제2 영역 내의 상기 보조 트렌치 및 상기 보조 트렌치 양측의 상기 반도체기판 표면의 소정영역을 노출시키는 제2 개구부 및 상기 키 영역 내에 초기 키 트렌치 및 상기 반도체기판 표면의 소정영역을 노출시키는 키 개구부를 형성하는 단계;

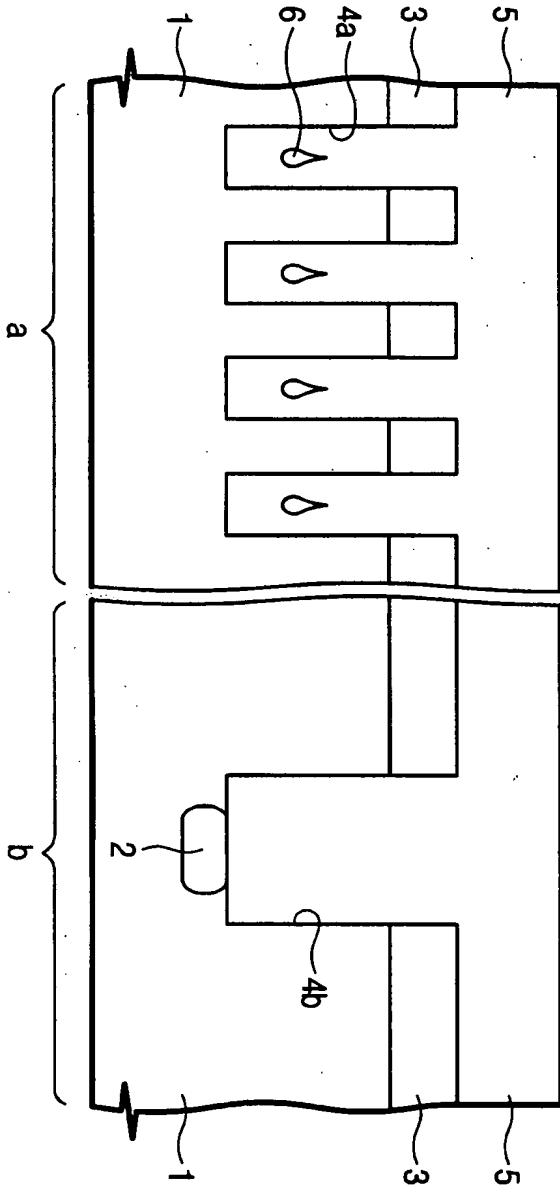
상기 노출된 반도체기판 표면 및 상기 보조 트렌치의 바닥면을 이방성 식각하여 상기 제1 영역 내에 제1 트렌치, 상기 제2 영역 내에 상기 반도체기판 표면에 형성된 상부 트렌치

및 상기 상부 트렌치 바닥면에 형성된 하부 트렌치로 구성된 제2 트렌치 및 상기 키 영역 내에 상기 반도체기판 표면에 형성된 상부 키 트렌치 및 상기 상부 키 트렌치 바닥면에 형성된 하부 키 트렌치로 구성된 제2 키 트렌치를 형성하는 단계; 및

상기 제1 트렌치 내에 제1 소자분리막, 상기 제2 트렌치 내에 제2 소자분리막 및 상기 키 트렌치 내에 키 소자분리막을 형성하는 단계를 포함하되, 상기 제1 트렌치, 상기 상부 트렌치 및 상기 상부 키 트렌치는 상기 반도체기판 표면으로 부터 동일한 깊이를 갖고, 상기 상부 트렌치는 상기 제2 개구부의 폭과 동일하고, 상기 하부 트렌치는 상기 보조 트렌치의 폭과 동일한 것을 특징으로 하는 트렌치 소자분리막들의 형성방법.

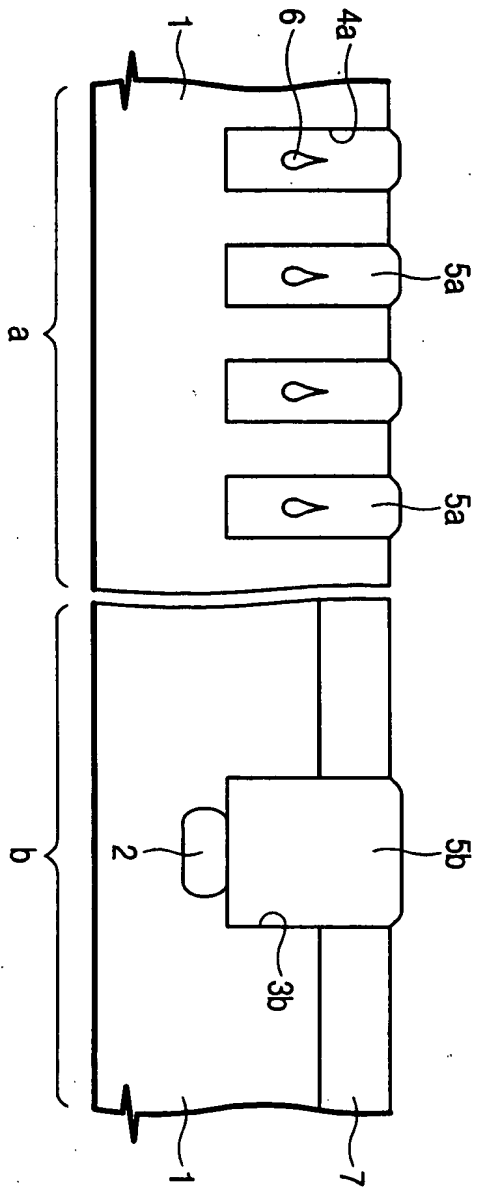
【도면】

【도 1】



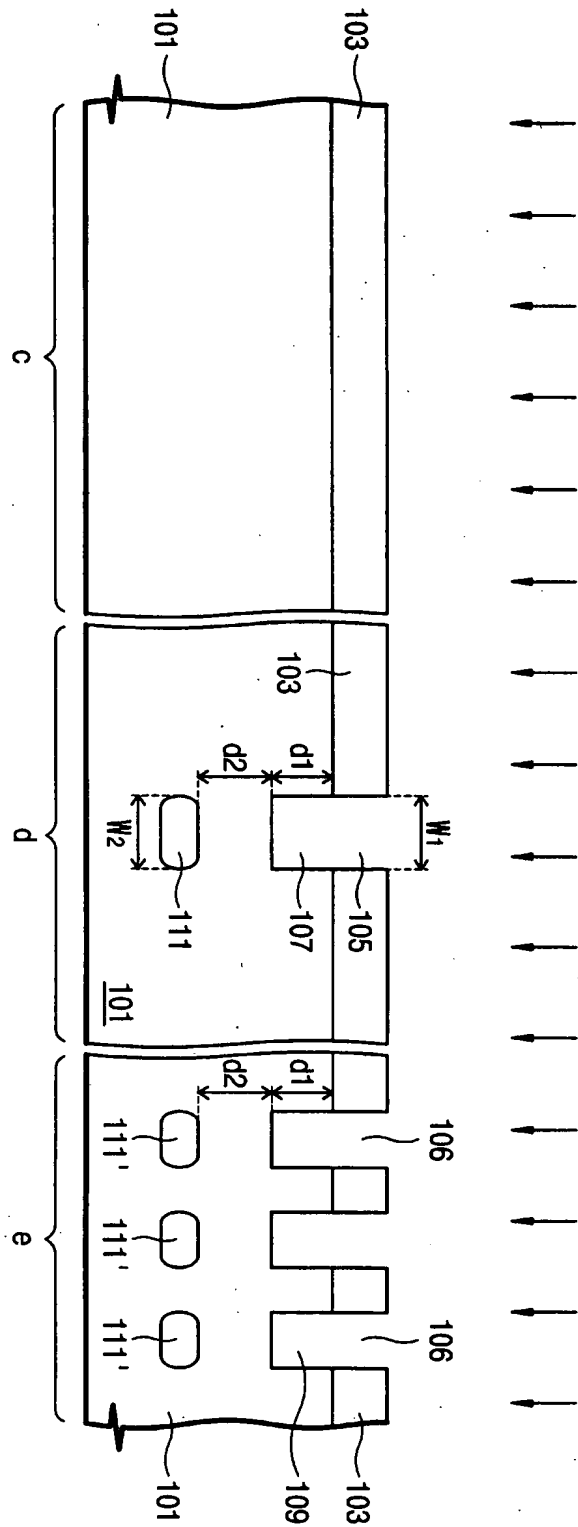
(종래 기술)

【도 2】



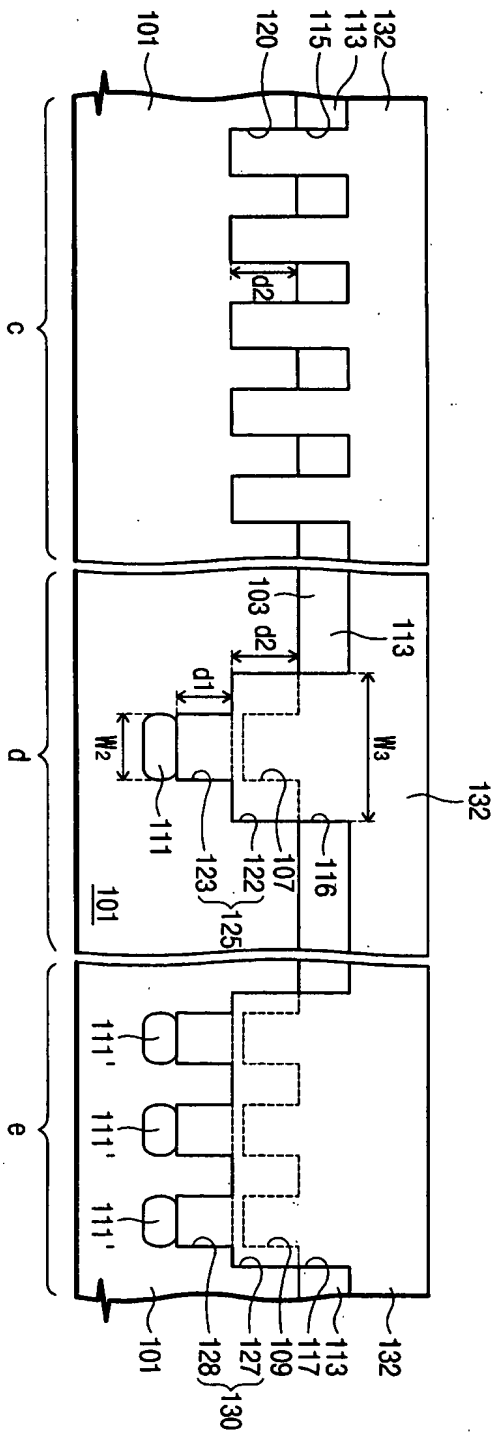
(종래 기술)

【도 3】

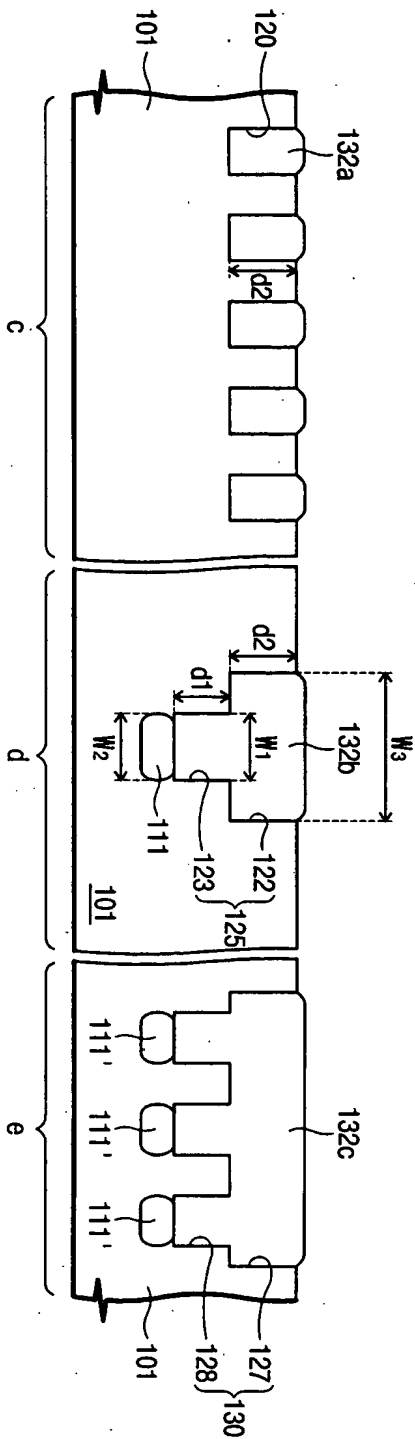




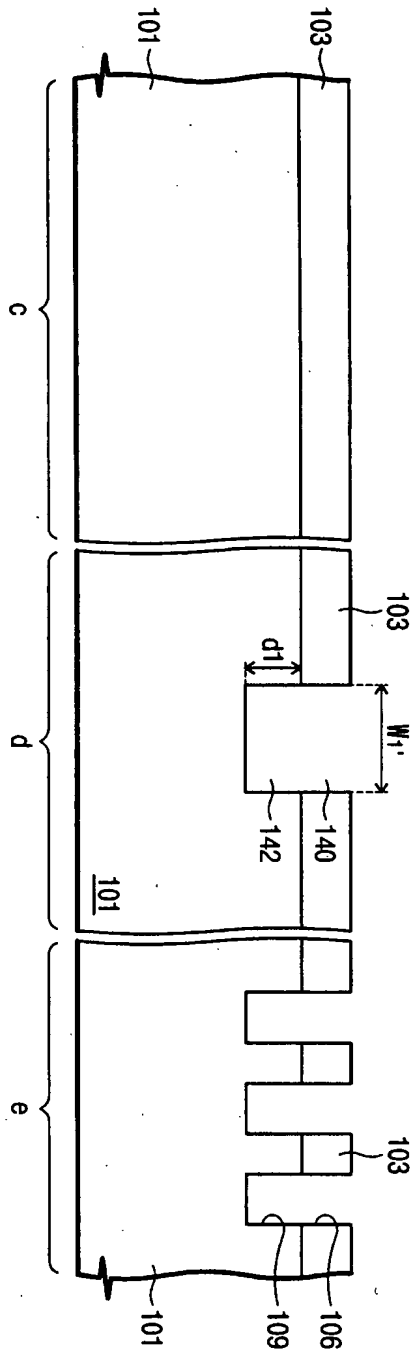
【도 4】



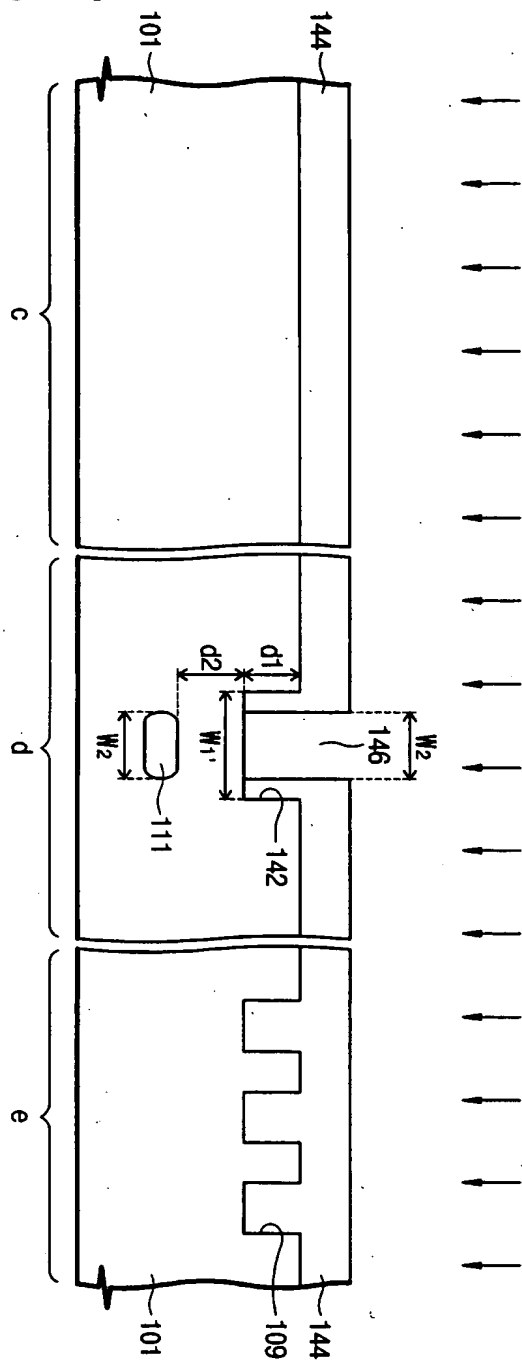
【도 5】



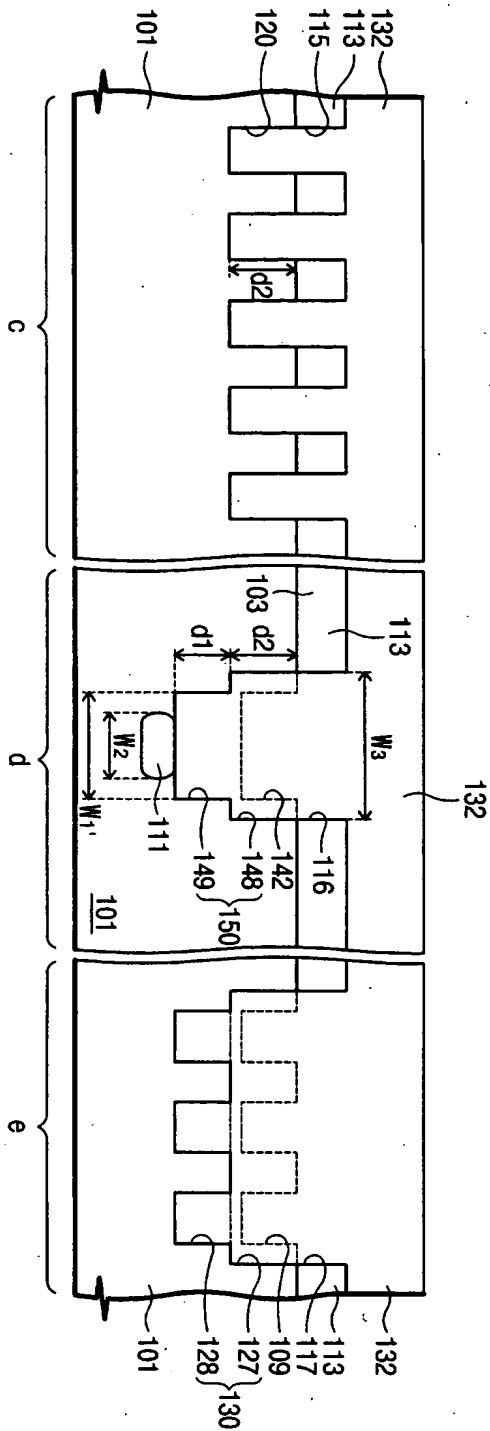
【도 6】



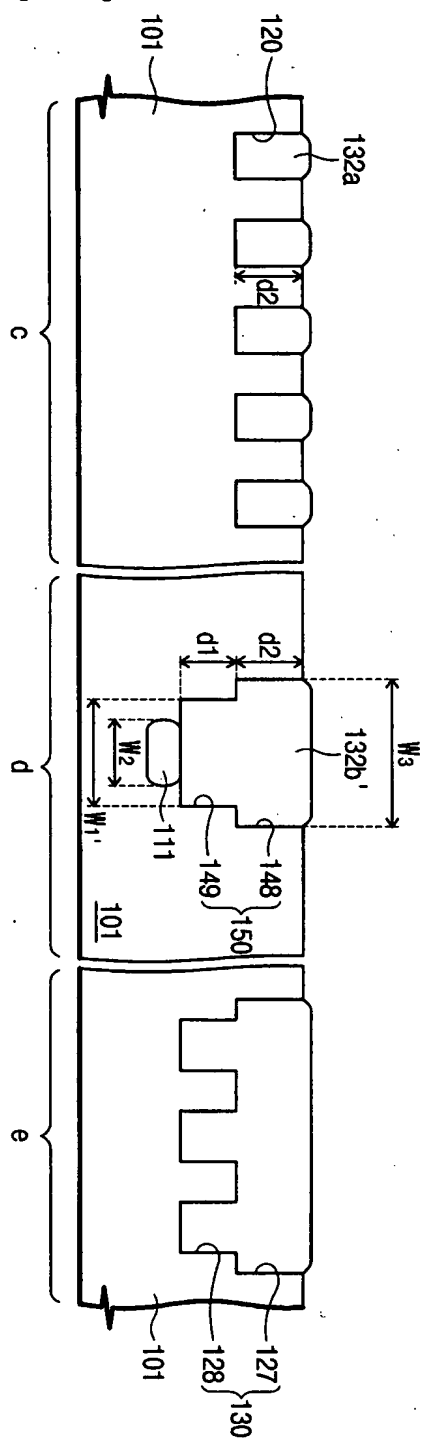
【도 7】



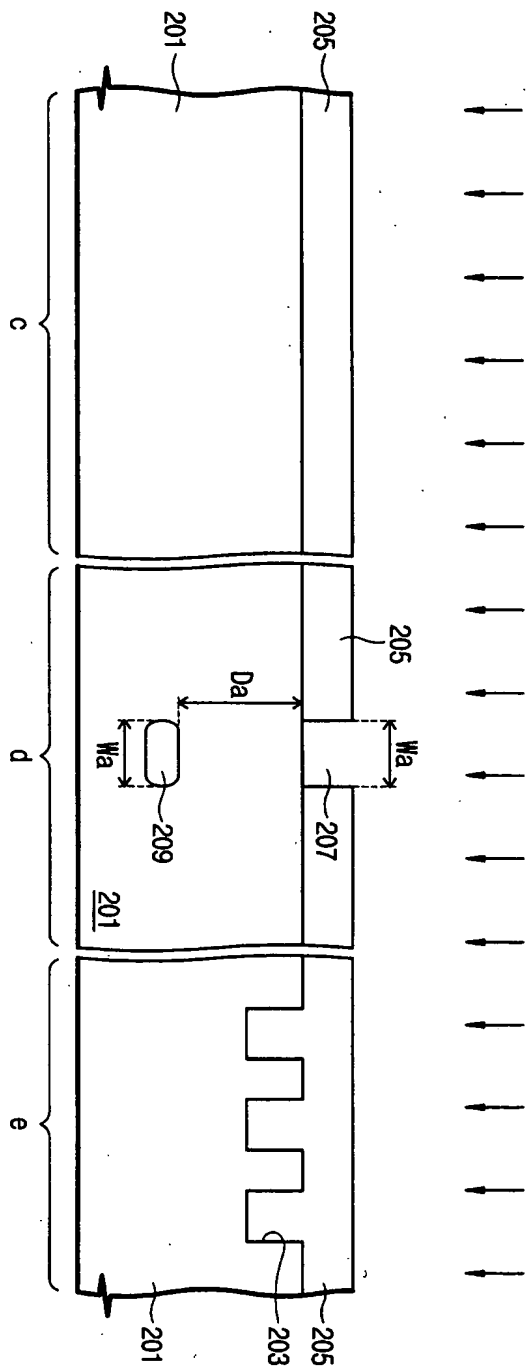
【도 8】



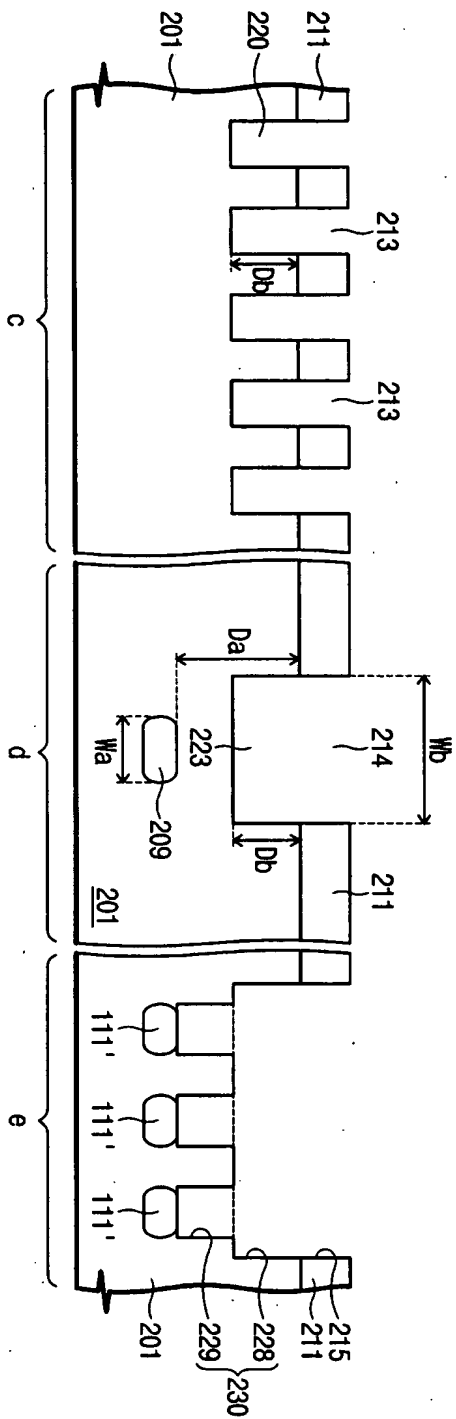
【도 9】



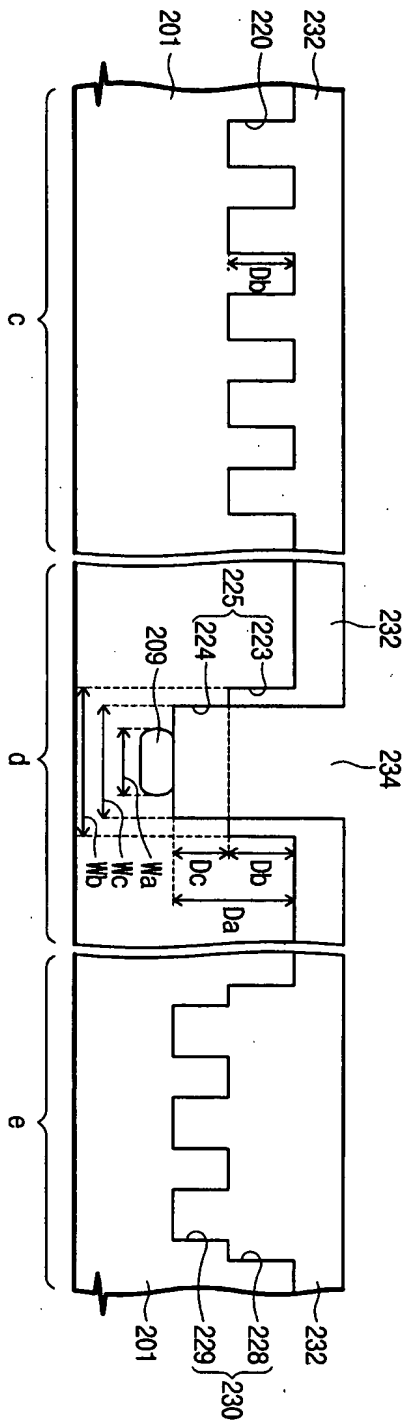
【도 10】



【도 11】



【도 12】



【도 13】

